# Міністерство освіти і науки України

**Кіровоградський національний технічний університет**

Кафедра програмування та захисту інформації

Методичні вказівки

до лабораторних робіт

Дисципліна : **Комп’ютерна схемотехніка**

**Лабораторна робота №2**

**Тема: Генератори тактових імпульсів**

**Кіровоград 2015**

**Лабораторна робота №2**

**Тема:**Генератори тактових імпульсів

**Мета роботи:** Вивчення пристрою, структурна схема призначення виводів,приклад застосування.

**Теоретичні відомості**

# Генератор тактових імпульсів І8224 .

Мікросхема КР580ГФ24 являє собою генератор тактових імпульсів (ГТІ), призначений для спільної роботи з ЦПУ І8080A. Генератор формує: високорівневі тактові сигнали Ф1 і Ф2 про незбіжними фазами; тактовий сигнал Ф2Т, за рівнем сумісний із ТТЛ і синхронізований із сигналом Ф2; сигнал STSTB “Строб стану ”, що, надходячи на системний контролер, фіксує стан шини даних мікропроцесора; сигнал RESET “Встановлення”.

Генератор опорної частоти при підключенні до висновків XTAL1 і XTAL2 кварцові резонатори забезпечує високу стабільність частоти, обумовлену основною частотою порушення кварцового резонатора.

Вихід генератора опорної частоти виведений на зовнішній висновок OSC і з'єднаний усередині мікросхеми з лічильником-дільником, що входить у склад тактового генератора. Тактовий генератор складається з лічильника-дільника на 9, логічних дешифраторів, що формують необхідні тактові імпульси, вихідних формувачів і допоміжних логічних схем і тригерів для генерації вихідних сигналів: Ф1.Ф2.Ф2Т, STSTB, Тактові імпульси Ф1 і Ф2 керують Моп-входами мікропроцесора І8080А. Тактовий імпульс Ф2Т використовується для керування Ттл-входами в режимі прямого звертання до пам'яті.

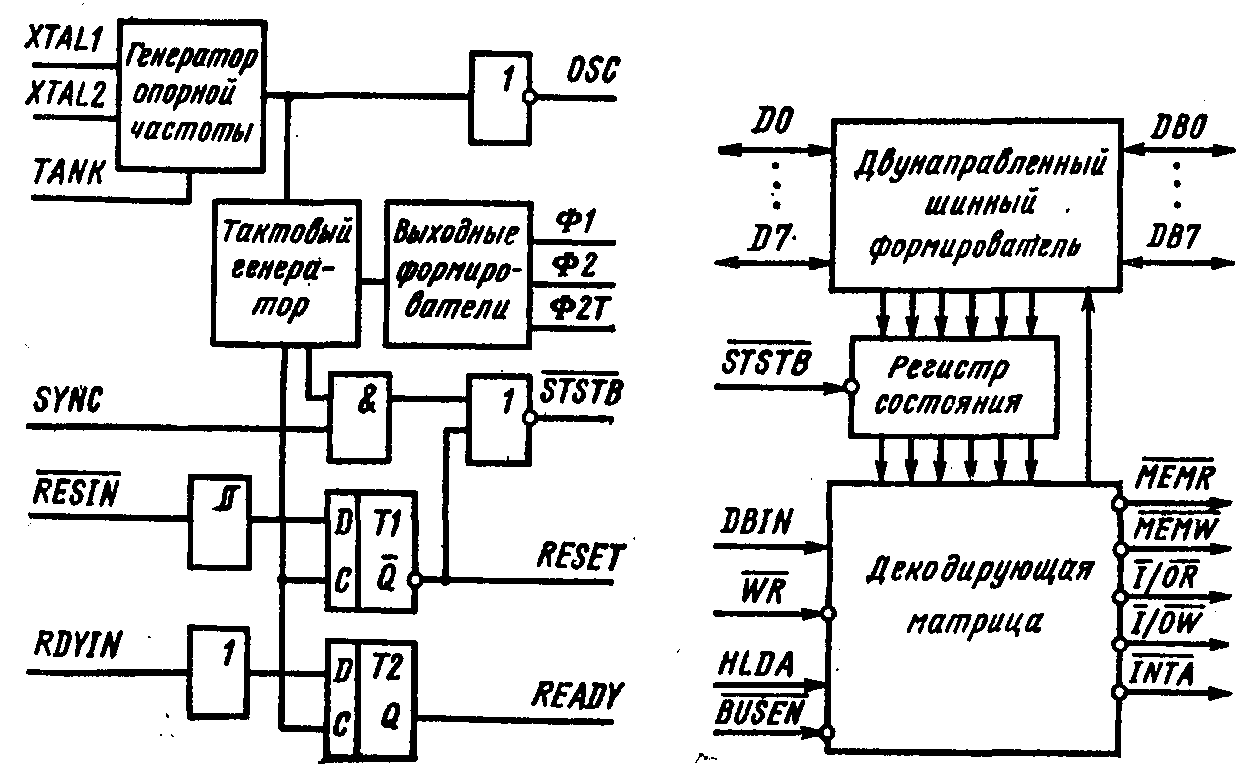
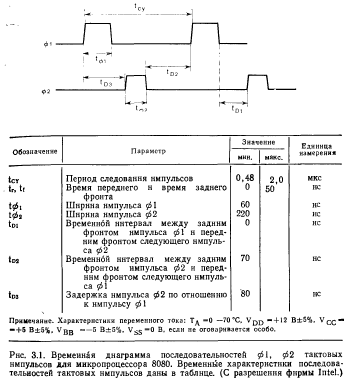


Рисунок 1.1 Структурна схема І8224.

Таблиця 1.1- Призначення виводів І8224.

|  |  |  |
| --- | --- | --- |
| **Номер виводу** | **Позначення** | **Призначення** |
| 1 | RESET | Установка (вихід) |
| 2 | RESIN | Установка (вхід) |
| 3 | RDYIN | Готовність (вхід) |
| 4 | READY | Готовність (вихід) |
| 5 | SYNC | Синхронізація |
| 6 | Ф2Т | Фаза 2 з рівнем ТТЛ |
| 7 | STSTB | Строб стану |
| 8 | GND | Загальний |
| 9 | Ucci | +12 В |
| 10, 11 | Ф2,Ф1 | Фаза 2, 1 |
| 12 | OSC | Вихід осцилятора |
| 13 | TANK | Вхід коливального контуру |
| 14, 15 | XTAL2, XTAL1 | Кварцовий резонатор |
| 16 | Ucc | +5В |

Негативний сигнал STSTB, тривалість якого дорівнює одному періодові частоти опорного генератора, формується мікросхемою І8224 при надходженні на її вхід з мікропроцесора І8080А сигналу SYNC "Синхронізація", що свідчить про початок машинного циклу. При надходженні вхідного сигналу RESIN мікросхема І8224 за допомогою тригера Шмітта і тригера Т1 виробляє сигнал RESET, синхронізований з тактовим сигналом Ф2, По сигналі RESET здійснюється установка у вихідний стан різних пристроїв мікропроцесорної системи. Наявність у мікросхемі тригера Шмітта дозволяє подавати на вхід RESIN сигнал з пологим фронтом. За допомогою тригера Т2 здійснюється стробування вхідного сигналу RDYIN “Готовність” тактовим сигналом Ф2.



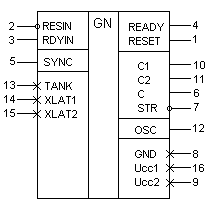
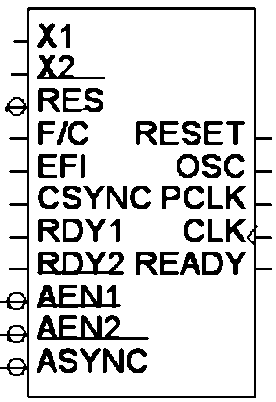


Рисунок 1.2-інтегральне виконання ІМС І8224.

**Генератор синхронізації 8284**

Спеціалізований кристал - генератор синхронізації +8284 розроблений для синхронізації роботи мікропроцесора І8086. Графічне представлення цього кристала приведено на рис.3.1.



**Рисунок 1.3- Зовнішній генератор 8284 для систем на основі мікропросесора 8086**

Виводи X1 і X2 забезпечують підключення паралельного резонансного контуру для внутрішнього генератора (F / C має низький рівень). EFI може з'єднуватися із зовнішнім генератором (F / C має високий рівень). Частота генератора внутрішньо ділиться на три, щоб отримати синхросигнал (CLK). Вивід RESET вказує, що централь-ний процесор установлюється в початковий стан, і може використовуваться як сигнал скидання системи. Його активний рівень - високий, і сигнал синхронізований з синхросигналом процесора CLK і продовжує ціле число тактів, відповідних довжині сигналу RES. Цей сигнал може бути асинхронним. RES внутрішньо синхронізований.

Асинхронні вхідні сигнали готовності (RDY1, RDY2) сповіщають процесору, що адресуема пам'ять або пристрій вводу / виводу закінчили передачу або прийом даних. Вхід READY змінює свій стан синхронно з CLK і бере активне високе значення згідно із сигналом RDY2 або RDY1. Сигнали RDY1 і RDY2 використовуються, якщо сигнали AEN1 і AEN2 відповідно мають низький рівень. З'єднання RDY з рівнем логічної 1 (AEN повинен мати низький рівень) буде завжди підтверджувати стан готовності для центрального процесора. Якщо одна з ліній RDY не використана, вона повинна бути підключена до низького логічного рівню, щоб управління здійснювалося через інший вхід RDY.

**Завдання.**

1. Пояснити призначення мікросхеми та ії вхідних та вихідних сигналів.
2. Скласти повну схему застосування пристрою з мікроцесором І8086 використовуючи графічний редактор .
3. Вирішити задачу:-скласти два числа по наведеному прикладу (числа взяти довільні)

Додавання 8-бітових чисел без переносу.

Даний приклад являється простою задачею и ставить своєю метою знайомство з пpистpоєм, реалізуючим дану програму. Припустим, що потpібно додати зміст коміpок пам'яти за адресами ADR1 та ADR2 і pозташуваи результат в коміpку з адресою COUNT.

ADR1 = 080CH

(080C) = 23H - перший доданок

ADR2 = 080DH

(080D) = 43H - дpугий доданок

Результатом додавання буде:

23H+43H=66H - сума чисел

Програма:

0800 ORG 800H

0800 3A0C08 LDA ADR1 ;завантажити перше число в

0803 ;акумулятор

0803 47 MOV B,A ;записати зміст

0804 ;акумулятора в регістр B

0804 3A0D08 LDA ADR2 ;завантажити дpуге число в

0807 ;акумулятор

0807 80 ADD B ;додати дpуге число з

0808 ;першим

0808 320E08 STA ADR3 ;записати зміст

080B ;акумулятора в коміpку

080B ;пам'яті

080B 76 HLT

080C 23 ADR1: DB 23H ;1 доданок

080D 43 ADR2: DB 43H ;2-й ...

080E 00 ADR3: DB 0 ;для результату (любе число)

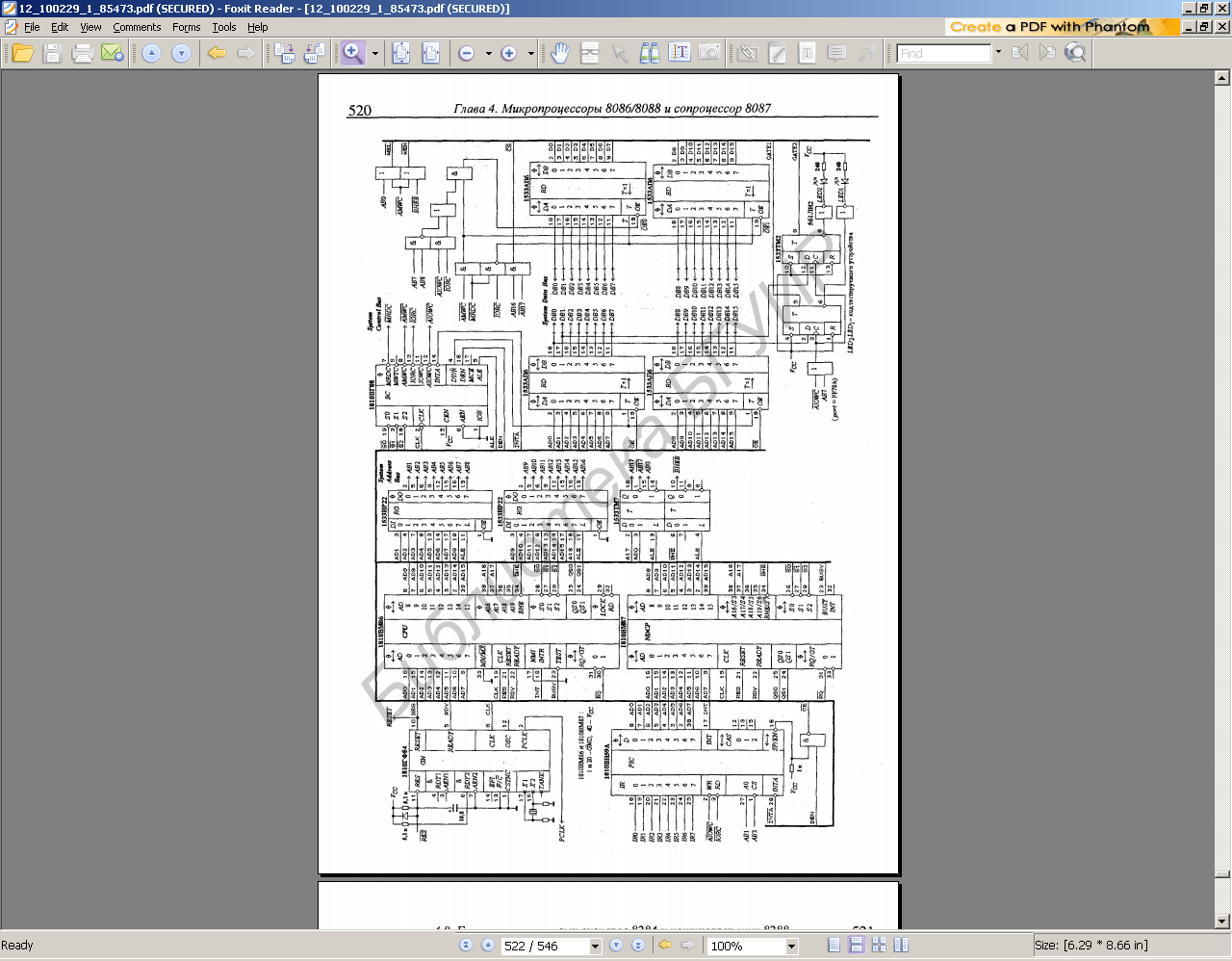
1. END

**Контрольні питання**

1. Призначення генераторів тактових імпульсів.

2.





Приклад системи з генератором тактових імпульсів